

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

S. Stevenson  
5-3-01



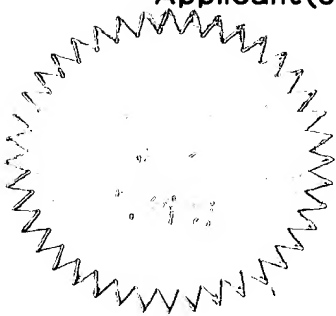
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원 번호 : 1999년 특허출원 제41360호  
Application Number

출원 년 월 일 : 1999년 9월 27일  
Date of Application

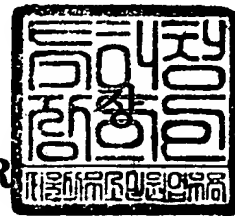
출원 인 : 삼성전자 주식회사  
Applicant(s)



1999 년 10월 25일

특 허 청

COMMISSIONER





1019990041360

1999/10/26

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	1999.09.27
【발명의 명칭】	내부 상태 모니터링 회로를 가지는 반도체 집적 회로 및 그를 이용한 내부 신호 모니터링 방법
【발명의 영문명칭】	THE SEMICONDUCTOR INTEGRATED CIRCUIT HAVING INTERNAL STATE MONITORING CIRCUIT AND A METHOD FOR MONITORING INTERNAL STATE USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【발명자】	
【성명의 국문표기】	이윤상
【성명의 영문표기】	LEE, YUN SANG
【주민등록번호】	670805-1025814
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 상현리 성원APT 102동 602호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	12	항	493,000	원
【합계】	531,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

본 발명에 따른 반도체 집적 회로는 테스트 모드 검출 회로, 데이터 출력 버퍼, 테스트 정보 입력 회로, 제 1 선택 회로 및 제 2 선택 회로를 포함한다. 상기 테스트 모드 검출 회로는 외부로부터 입력되는 소정 신호들의 위상을 검출하여 테스트 동작 모드를 알리는 테스트 모드 신호를 출력한다. 상기 테스트 정보 입력 회로는 외부로부터 인가되는 테스트 정보를 받아들이고, 상기 테스트 모드 신호에 응답해서 상기 테스트 정보에 상응하는 복수 개의 선택 신호들을 출력한다. 상기 제 1 선택부는 상기 선택 신호들에 응답해서 반도체 집적 회로 내부의 내부 회로들에서 생성되는 내부 신호들의 출력 경로들을 선택하여 일부의 내부 신호들을 상기 제 2 선택 회로로 전달한다. 상기 제 2 선택 회로는 내부 회로로부터의 데이터와 상기 제 1 선택 회로로부터의 내부 신호들 중 상기 선택 신호들에 대응되는 신호들을 상기 데이터 출력 버퍼로 출력한다. 상기 데이터 출력 버퍼는 상기 제 2 선택 회로로부터 출력되는 신호들을 입/출력 패드들을 통해 외부로 출력한다. 상기한 바와 같이, 본 발명에 따른 반도체 집적 회로는 내부 회로들에서 생성되는 내부 신호들을 데이터 출력 버퍼 및 입/출력 패드들을 통해 외부로 출력함으로써, 프로빙을 이용한 테스트의 문제점들이 해결될 뿐만아니라, 반도체 집적 회로의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.

## 【대표도】

도 1

**【명세서】****【발명의 명칭】**

내부 상태 모니터링 회로를 가지는 반도체 집적 회로 및 그를 이용한 내부 신호 모니터링 방법{THE SEMICONDUCTOR INTEGRATED CIRCUIT HAVING INTERNAL STATE MONITORING CIRCUIT AND A METHOD FOR MONITORING INTERNAL STATE USING THE SAME}

**【도면의 간단한 설명】**

도 1은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 구성을 보여주는 블록도;

도 2는 본 발명의 바람직한 실시예에 따른 내부 상태 모니터링 회로의 구성을 보여주는 블록도;

도 3은 도 2의 테스트 정보 입력 회로의 구성을 보여주는 상세 회로도;

도 4는 도 2의 제 1 선택 회로 내의 각 선택 회로의 구성을 보여주는 상세 회로도;

도 5는 도 2의 제 2 선택 회로 내의 각 선택 회로의 구성을 보여주는 상세 회로도;

도 6은 도 2의 데이터 출력 버퍼 내의 각 출력 버퍼의 구성을 보여주는 상세 회로도 및;

도 7은 도 1의 반도체 메모리 장치의 내부 상태 모니터링 동작을 보여주는 동작 타이밍도이다.

**\*도면의 주요 부분에 대한 부호의 설명\***

10 : 제어 로직 및 테스트 모드 검출 회로 20 : 행 어드레스 버퍼

30 : 열 어드레스 버퍼 40 : 행 디코더



50 : 열 디코더    60 : 메모리 셀 어레이  
70 : 센스 앰프    80 : 데이터 입력 버퍼  
90 : 데이터 출력 버퍼    100 : 테스트 정보 입력 회로  
110 : 제 1 선택 회로    120 : 제 2 선택 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15>        본 발명은 반도체 집적 회로에 관한 것으로서, 더 구체적으로는 반도체 집적 회로의 내부 상태 모니터링 회로 및 그를 이용한 내부 상태 모니터링 방법에 관한 것이다.
- <16>        일반적으로, 반도체 집적 회로(semiconductor integrated circuit; 이하, IC라 칭함)의 테스트에는 프로빙 장비(probing equipment)가 이용된다. 상기 프로빙 장비는 아주 가는(fine) 침들(needles)을 프린트 기판(printed circuit board; 이하 PCB라 칭함)에 고정시킨 프로빙 카드(probing card)를 구비한다. 일반적으로, 프로빙 장비는 프로빙 카드의 침들을 반도체 집적 회로(IC)의 입/출력 패드들(input/output pads)에 접촉시켜 반도체 집적 회로(IC)와 전기적 신호를 교환한다. 반도체 집적 회로(IC)로부터 제공되는 전기적 신호는 프로빙 장비를 거쳐 테스트 장비(test equipment)로 입력되어 분석된다.
- <17>        그런데, 반도체 집적 회로(IC)의 일반적인 기능 테스트와는 달리, 반도체 집적 회로(IC) 특히, DRAM(dynamic random access memory), SRAM(static random access memory), NVM(nonvolatile memory), ROM(read only memory) 등과 같은 반도체 메모리 장치의 내부에서 생성되는 내부 신호들(internal signals; 이하, INT\_S라 칭함)의 테스트

트에는 마이크로 프로빙 장비(micro probing equipment)라 불리는 정밀한 테스트 장비가 사용된다. 마이크로 프로빙 장비는 주로 저주파수(low frequency)로 동작되는 반도체 메모리 장치의 내부 신호들(INT\_S)을 모니터링하며, 반도체 메모리 장치 내부의 신호 라인들(signal lines)에 연결되도록 형성된 테스트 패드들(test pads)에 침들을 접촉시켜 신호 라인들을 통해 흐르는 내부 신호들(INT\_S)을 테스트 장비(test equipment)로 전달한다.

<18> 그런데, 이러한 마이크로 프로빙 장비를 이용한 반도체 집적 회로(IC)의 테스트에는 몇가지 문제점이 발생된다. 이들 중 첫번째 문제점은 프로빙 카드의 침이 가지는 로딩(loading) 성분 즉, 저항(resistor)과 커패시터(capacitor) 그리고 인덕터(inductor) 성분에 의해 신호 라인들을 통해 흐르는 내부 신호들(INT\_S)이 프로빙 카드로 전달되지 않거나, 프로빙 카드로 전달되는 내부 신호들(INT\_S)이 왜곡(distortion)되는 것이다. 두번째 문제점은 반도체 집적 회로가 점차 고집적화되면서, 테스트 패드들이 차지하는 면적이 반도체 집적 회로의 레이아웃에 큰 부담으로 작용되는 것이다.

<19> 세번째 문제점은 반도체 집적 회로의 테스트 동작시, 테스트 패드들에 접촉된 프로빙 카드의 침들이 진동이나 기타의 현상들에 의해 이동되어 테스트 패드들이 손상되거나 신호 라인들이 단선(open)되는 등의 물리적 손상이 가해지는 것이다. 그리고, 네번째 문제점은 고집적화된 반도체 집적 회로를 테스트하기 위해 정밀한 연결이 요구되는 마이크로 프로빙 장비와 테스트 장비를 연결시키는 일련의 준비 과정에 의해 테스트 시간이 증가되는 것이다. 이러한, 프로빙 장비를 이용한 테스트의 문제점들은 반도체 집적 회로의 폐일(fail) 분석이나 개발의 장애 요인으로 작용되어, 반도체 집적 회로의 생산 수율 저하의 원인이 된다.



【발명이 이루고자 하는 기술적 과제】

- <20> 본 발명의 목적은 집적 회로 내부에서 생성되는 내부 신호들을 용이하게 모니터링하는 반도체 집적 회로의 내부 상태 모니터링 회로 및 그를 이용한 내부 상태 모니터링 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <21> (구성)

- <22> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 일특징에 의하면, 반도체 집적 회로는 복수 개의 기능 회로들과 선택 수단 및 출력 수단을 포함한다. 상기 기능 회로들은 정상 모드 및 테스트 모드 동안에 외부로부터 복수의 입력 데이터 신호들을 받아들이고, 상기 입력 데이터 신호들에 대응하는 출력 데이터 신호들을 발생한다. 여기서, 상기 기능 회로들은 반도체 메모리 장치의 경우를 예로 들면, 어드레스 버퍼, 디코더, 제어 로직 등과 같이 데이터를 저장하거나 출력하는 일련의 동작을 수행하는 회로들이다. 상기 선택 수단은 외부로부터 인가되는 테스트 정보에 근거해서, 상기 기능 회로들이 상기 입력 데이터 신호들을 처리할 때 상기 기능 회로들 내에서 생성되는 복수 개의 내부 신호들 중의 일부를 선택한다. 상기 출력 수단은 상기 정상 모드 동안에 상기 출력 데이터 신호들을 외부로 출력하고 상기 테스트 모드 동안에 상기 선택된 내부 신호들을 외부로 출력한다.

- <23> 본 발명의 다른 특징에 의하면, 반도체 집적 회로는 복수 개의 기능 회로들, 테스트 모드 검출 회로, 테스트 정보 입력 회로, 제 1 및 제 2 선택 회로들을 포함한다. 상기 기능 회로들은 정상 모드 및 테스트 모드 동안에 외부로부터 복수의 입력 데이터 신호들을 받아들이고, 상기 입력 데이터 신호들에 대응하는 출력 데이터 신호들을 발생한다. 상기 테스트 모드 검

출 회로는 외부로부터 복수의 동작 모드 신호들을 받아들이고, 상기 동작 모드 신호들이 상기 테스트 모드를 나타낼 때 테스트 모드 검출 신호를 발생한다. 상기 테스트 정보 입력 회로는 상기 테스트 모드 검출 신호에 응답해서 외부로부터 인가되는 테스트 정보 신호들을 받아들이고, 상기 제 1 선택 회로는 상기 테스트 정보 신호들에 응답해서 상기 기능 회로들이 상기 입력 데이터 신호들을 처리할 때 상기 기능 회로들 내에서 생성되는 복수 개의 내부 신호들 중의 일부를 선택한다. 그리고, 상기 제 2 선택 회로는 상기 테스트 정보 신호들에 응답해서, 상기 출력 데이터 신호들과 상기 선택된 내부 신호들 중 어느 하나를 선택한다. 여기서, 상기 반도체 집적 회로는 상기 제 2 선택 회로의 출력을 받아들이어서 외부로 출력하기 위한 데이터 출력 회로를 더 포함한다. 또한, 상기 테스트 정보 입력 회로는 상기 테스트 정보를 저장하기 위한 기억 수단을 포함한다.

<24> 본 발명의 또 다른 특징에 의하면, 정상 모드 및 테스트 모드 동안에 외부로부터 복수의 입력 데이터 신호들을 받아들이고, 상기 입력 데이터 신호들에 대응하는 출력 데이터 신호들을 발생하는 복수 개의 기능 회로들 및, 상기 출력 데이터 신호들을 외부로 출력하는 데이터 출력 회로를 구비하는 반도체 집적 회로에서, 상기 기능 회로들이 상기 입력 데이터 신호들을 처리할 때 상기 기능 회로들 내에서 생성되는 복수 개의 내부 신호들을 테스트 하는 방법은 상기 테스트 모드를 검출하는 단계, 내부 신호들 중 일부를 선택하는 단계 및 선택된 내부 신호들을 출력하는 단계의 순으로 진행된다. 여기서, 상기 내부 신호들은 상기 반도체 집적 회로의 모니터링에 사용되며, 상기 내부 신호들은 상기 반도체 집적 회로의 데이터 입/출력 패드들을 통해 외부로 출력된다.

<25> (작용)

<26> 이와 같은 장치에 의해서, 집적 회로

내부에서 생성되는 내부 신호들이 입/출력 패드들을 통해 집적 회로의 외부로 출력됨으로써, 프로빙을 이용한 테스트의 문제점들이 해결될 뿐만아니라, 집적 회로의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.

<27> (실시예)

<28> 이하, 본 발명의 바람직한 실시예에 따른 참조도면 도 1 내지 도 6에 의거하여 상세히 설명한다.

<29> 도 1을 참조하면, 본 발명에 따른 반도체 집적 회로는 테스트 모드 검출 회로(10), 데이터 출력 버퍼(90), 테스트 정보 입력 회로(100), 제 1 선택 회로(110) 및 제 2 선택 회로(120)를 포함한다. 상기 테스트 모드 검출 회로(10)는 외부로부터 입력되는 소정 신호들(CSB, RASB, CASB, WB)의 위상을 검출하여 테스트 동작 모드를 알리는 테스트 모드 신호(TMS)를 출력한다. 상기 테스트 정보 입력 회로(100)는 외부로부터 인가되는 테스트 정보(TSEL)를 받아들이고, 상기 테스트 모드 신호(TMS)에 응답해서 상기 테스트 정보(TSEL)에 상응하는 복수 개의 선택 신호들(SEL0, SEL1, ..., SELn-1, SELn)을 출력한다. 상기 제 1 선택부(110)는 상기 선택 신호들(SEL0, SEL1, ..., SELn-1, SELn)에 응답해서 반도체 집적 회로 내부의 내부 회로들에서 생성되는 내부 신호들(INT\_S's)의 출력 경로들을 선택하여 일부의 내부 신호들(INT\_S's)을 상기 제 2 선택 회로(120)로 전달한다. 상기 제 2 선택 회로(120)는 내부 회로로부터의 데이터(D)와 상기 제 1 선택 회로(110)로부터의 내부 신호들(INT\_S's) 중 상기 선택 신호들(SEL0, SEL1, ..., SELn-1, SELn)에 대응되는 신호들을 상기 데이터 출력 버퍼(90)로 출력한다. 상기 데이터 출력 버퍼(90)는 상기 제 2 선택 회로(120)로부터 출력되는 신호들을 입/출력 패드들을 통해 외부로 출력한다. 상기한 바와 같이, 본 발명에 따른 반도체 집적 회로는 내부 회로들에서 생성되는 내부 신호

들(INT\_S's)을 데이터 출력 버퍼(90) 및 입/출력 패드들을 통해 외부로 출력함으로써, 프로빙을 이용한 테스트의 문제점들이 해결될 뿐만아니라, 반도체 집적 회로의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.

<30> 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치는 제어 로직 및 테스트 모드 검출 회로(10), 행 어드레스 버퍼(20), 열 어드레스 버퍼(30), 행 디코더(40), 열 디코더(50), 메모리 셀 어레이(60), 센스 앰프(70), 데이터 입력 버퍼(80), 데이터 출력 버퍼(90), 테스트 정보 입력 회로(100), 제 1 선택 회로(110) 및 제 2 선택 회로(120)를 포함한다. 상기 제어 로직 및 테스트 모드 검출 회로(10)는 정상 모드 동작 동안에 외부로부터의 칩 선택 신호(CSB; 이하, B는 원 신호의 반전 신호를 뜻함), 행 어드레스 스트로브 신호(RASB), 열 어드레스 스트로브 신호(CASB) 및 기입 활성화 신호(WB)에 응답해서 메모리 장치의 기입 및 독출을 제어하는 제어 신호(control signal; CON)를 출력하고 그리고 테스트 모드 동작 동안에 테스트 모드를 알리는 테스트 모드 신호(test mode signal; 이하, TMS라 칭함)를 출력한다.

<31> 상기 행 및 열 어드레스 버퍼들(20, 30)은 정상 모드 동작 동안에 외부로부터 입력되는 복수 개의 어드레스들(addresses; Ai) 중 대응되는 어드레스들(A)을 버퍼링하고 그리고 테스트 모드 동작 동안에 테스트 대상 신호들을 지정하는 테스트 정보(test information; 이하, TSEL 이라 칭함)를 버퍼링한다. 상기 행 디코더(40)는 정상 및 테스트 모드 동작 동안에 행 어드레스 버퍼(20)로부터의 행 어드레스들(RA)을 디코딩한 디코딩 행 어드레스들(DRA)을 출력한다. 상기 열 디코더(50)는 정상 및 테스트 모드 동작 동안에 열 어드레스 버퍼(30)로부터의 열 어드레스들(CA)을 디코딩한 디코딩 열 어드레스들(DCA)을 출력한다.

<32>       상기 메모리 셀 어레이(60)는 복수 개의 워드 라인들(word lines) 및 복수 개의 비트 라인들(bit lines)에 연결된 복수 개의 메모리 셀들(memory cell's)을 가지며, 정상 및 테스트 모드 동작 동안에 복수 비트의 데이터(data; 이하 D라 칭함)를 상기 메모리 셀들에 저장하고 그리고 저장된 데이터(D)를 출력한다. 상기 센스 앰프(70)는 정상 및 테스트 모드 동작 동안에 데이터 입력 버퍼(80)를 통해 입력되는 데이터를 메모리 셀 어레이(60)로 전달하고 그리고 메모리 셀 어레이(60)에 저장된 데이터(D)를 데이터 출력 버퍼(90)로 출력한다. 상기 데이터 입력 버퍼(80)는 정상 및 테스트 모드 동작 동안에 대응되는 입/출력 패드들(input/output pads; 도시되지 않음)을 통해 입력되는 데이터(D)를 센스 앰프(70)로 전달한다. 상기 데이터 출력 버퍼(90)는 정상 및 테스트 모드 동작 동안에 센스 앰프(70)로부터 출력되는 데이터(D) 및 상기 장치 내부에서 생성되는 내부 신호들{130, internal signals; 이하, INT\_S라 칭하며, 내부 신호들은 도 1과 같이 행 어드레스(RA), 열 어드레스(CA), 제어 신호(CON), 디코딩 어드레스들(DRA, DCA) 등의 신호들 이외에도 다수의 신호들이 포함된다.}을 대응되는 입/출력 패드들을 통해 외부로 출력한다.

<33>       본 발명의 실시예에 따른 반도체 메모리 장치는 상기 제어 로직 및 테스트 모드 검출 회로(10), 테스트 정보 입력 회로(100), 제 1 선택 회로(110) 및 제 2 선택 회로(120)를 포함함으로써, 테스트 모드 동작 동안에 프로빙 장비의 사용없이도 반도체 메모리 장치 내부에서 발생하는 내부 신호들(INT\_S's)을 입/출력 패드들을 통해 장치 외부로 출력하는 것을 특징으로 한다. 이로써, 프로빙에 의한 반도체 메모리 장치 테스트의 문제점들이 해결될 뿐만 아니라, 장치의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.

<34>       도 1에는 본 발명에 따른 반도체 집적 회로의 이해를 돕고자, 바람직한 실시예에 따른

반도체 메모리 장치 즉, DRAM 장치의 예(example)가 도시된 것이며, 이에 따라 본 발명의 실시예에 따른 반도체 메모리 장치의 동작이 상세하고 그리고 구체적으로 설명된다. 그러나, 본 발명에 따른 반도체 집적 회로의 내부 상태 모니터링 회로 및 이를 이용한 내부 상태 모니터링 방법은 모든 반도체 메모리 장치 및 ASIC 등과 같은 반도체 집적 회로에 사용되는 것은 물론이다. 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 동작은 크게 정상 모드 동작과 테스트 모드 동작으로 구분되며, 정상 모드 동작은 일반적인 반도체 메모리 장치의 정상 모드 동작과 동일하다.

<35> <정상 모드 동작>

<36> 상기 반도체 메모리 장치의 정상 모드 동작은 크게 기입 동작과 독출 동작으로 구분된다. 상기 기입 동작은 제어 로직 및 테스트 모드 검출 회로(10)로 입력되는 행 어드레스 스트로브 신호(row address strobe signal; RASB) 및 열 어드레스 스트로브 신호(column address strobe signal; CASB)가 순차적으로 활성화되어 행 어드레스들(row addresses)과 열 어드레스들(column addresses)이 순차적으로 어드레스 버퍼들(20, 30)로 입력된다. 상기 어드레스 버퍼들(20, 30)은 상기 제어 로직 및 테스트 모드 검출 회로(10)로부터의 제어 신호(control signal; CON)의 제어에 의해 행 및 열 어드레스들을 버퍼링한 행 어드레스들(RA) 및 열 어드레스들(CA)을 행 디코더(40) 및 열 디코더(50)로 출력한다.

<37> 이때, 상기 제어 로직 및 테스트 모드 검출 회로(10)로 입력되는 기입 활성화 신호(write enable signal; WB)가 활성화되어 입력 데이터가 데이터 입력 버퍼(80)를 통해 센스 앰프(70)로 입력된다. 상기 행 디코더(40) 및 열 디코더(50)는 상기 행 어드레스들(RA) 및 열 어드레스들(CA)을 디코딩하여, 디코딩 어드레스들(decoding addresses; DRA, DCA)에 대응되는 워드 라인들(WL's) 및 비트 라인들(BL's)을 활성화시킨다. 이로

써, 상기 센스 앰프(70)로 입력된 입력 데이터는 상기 활성화된 워드 라인들(WL's) 및 비트 라인들(BL's)에 의해 선택된 메모리 셀들에 저장된다.

<38>        상기 독출 동작은 제어 로직 및 테스트 모드 검출 회로(10)로 입력되는 행 어드레스 스트로브 신호(RASB) 및 열 어드레스 스트로브 신호(CASB)가 순차적으로 활성화되어 행 어드레스들과 열 어드레스들이 순차적으로 어드레스 버퍼들(20, 30)로 입력된다. 상기 어드레스 버퍼들(20, 30)은 상기 제어 로직 및 테스트 모드 검출 회로(10)로부터의 제어 신호(CON)의 제어에 의해 입력되는 행 및 열 어드레스들을 버퍼링한 행 어드레스들(RA) 및 열 어드레스들(CA)을 행 디코더(40) 및 열 디코더(50)로 출력한다. 상기 행 디코더(40) 및 열 디코더(50)는 상기 행 어드레스들(RA) 및 열 어드레스들(CA)을 디코딩하여 디코딩된 어드레스들(DRA, DCA)에 대응되는 워드 라인들(WL's) 및 비트 라인들(BL's)을 활성화시킨다.

<39>        이때, 활성화된 워드 라인들(WL's)에 의해 선택된 메모리 셀들에 저장된 데이터는 활성화된 비트 라인들(BL's)로 전하들의 형태로 전달된다. 그리고, 상기 센스 앰프(70)는 비트 라인들(BL's)을 통해 전달되는 전하들의 전위를 센싱하여 이를 데이터 출력 버퍼(90)로 출력한다. 상기 데이터 출력 버퍼(90)는 외부로부터 입력되는 출력 활성화 신호(output enable signal; OEB)에 응답해서 상기 센스 앰프(70)로부터 출력되는 출력 데이터(output data)를 입/출력 패드들을 통해 장치 외부로 출력한다. 물론, 상기 정상 모드 동작 동안에 상기 제어 로직 및 테스트 모드 검출 회로(10)로 입력되는 신호들(CSB, RASB, CASB, WB)이 소정의 위상을 가지면, 상기 테스트 모드 신호(TMS)가 활성화된다. 이에 따라, 상기 장치 내부에서 생성되는 내부 신호들(INT\_S)이 모니터링된다.

<40>        <테스트 모드 동작>

- <41> 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 테스트 모드 동작 동안에는 상기 장치 내부에서 생성되는 내부 신호들(INT\_S)이 입/출력 패드들을 통해 장치 외부로 출력됨으로써, 장치의 내부 상태가 모니터링된다. 상기 반도체 메모리 장치의 내부 상태 모니터링 회로는 제어 로직 및 테스트 모드 검출 회로(10), 테스트 정보 입력 회로(100), 제 1 및 제 2 선택 회로들(110, 120)로 구성된다.
- <42> 상기 반도체 메모리 장치의 테스트 모드 동작은 상기 제어 로직 및 테스트 모드 검출 회로(10)가 외부로부터 입력되는 칩 선택 신호(chip select signal; CSB), 행 어드레스 스트로브 신호(RASB), 열 어드레스 스트로브 신호(CASB) 및 기입 활성화 신호(WB)의 위상을 검출하여 테스트 모드를 알리는 테스트 모드 신호(TMS)를 발생함으로써 시작된다. 상기 제어 로직 및 테스트 모드 검출 회로(10)는 상기 신호들(CSB, RASB, CASB, WB)이 모두 논리 로우 레벨(logic low level)일 때, 이를 검출하여 상기 테스트 모드 신호(TMS)를 발생한다.
- <43> 이때, 외부로부터 어드레스 입력 패드들(address input pads)을 통해 행 어드레스 버퍼(20)나 열 어드레스 버퍼(30)로 상기 반도체 메모리 장치의 내부 상태 모니터링을 알리는 테스트 정보(TSEL)가 입력된다. 상기 테스트 정보(TSEL)는 상기 어드레스 버퍼(20/30)에서 버퍼링된 후, 어드레스 버퍼(20/30)로부터 테스트 정보 입력 회로(100)로 제공된다. 상기 테스트 정보 입력 회로(100)는 상기 제어 로직 및 테스트 모드 검출 회로(10)로부터의 테스트 모드 신호(TMS)에 응답해서 상기 테스트 정보(TSEL)를 저장한다.
- <44> 도 2 및 도 3을 참조하면, 상기 테스트 정보 입력 회로(100)는 상기 테스트 정보(TSEL0, TSEL1, ..., TSELn-1, TSELn)를 저장하는 복수 개의 테스트 정보 저장 회로들(101)을 포함한다. 상기 각 테스트 정보 저장 회로(101)는 전달 회로(transmission



circuit; TRA), 래치 회로(latch circuit; LAT) 및 출력 회로(output circuit; DRI)를 포함한다. 상기 전달 회로(TRA)는 인버터(invertor; I1) 및 전달 게이트(transmission gate; TG)를 포함하며, 상기 테스트 모드 신호(TMS)에 응답해서 상기 테스트 정보(TSEL0, TSEL1, ..., TSELn-1, TSELn) 중 대응되는 테스트 모드 정보(TSEL)를 스위칭한다.

<45>        상기 래치 회로(LAT)는 입/출력 단자들이 상호 교차 연결된 인버터들(I2, I3)을 포함하며, 상기 전달 회로(TRA)를 통해 전달되는 테스트 정보(TSEL)를 저장한다. 상기 출력 회로(DRI)는 직렬로 연결된 인버터들(I4, I5)을 포함하며, 상기 래치 회로(LAT)에 저장된 테스트 정보(TSEL)를 선택 신호들(select signal; SEL0, SEL1, ..., SELn-1, SELn)로서 출력한다. 상기 테스트 정보 입력 회로(100)로부터 출력되는 상기 선택 신호들(SEL0, SEL1, ..., SELn-1, SELn)은 상기 장치 내부에서 생성되는 내부 신호들(INT\_S's)을 선택하는 역할을 하며, 상기 제 1 및 제 2 선택 회로들(110, 120)로 제공된다.

<46>        도 2 및 도 4를 참조하면, 상기 제 1 선택 회로(110)는 복수 개의 제 1 선택 회로들(111, 112, 113, 114)을 포함한다. 참고로, 도 2에 도시된 상기 제 1 선택 회로들(111, 112, 113, 114)은 이해를 돕기 위해 간략화된 상기 선택 신호들(SEL0, SEL1, ..., SELn-1, SELn) 중 선택 신호(SELn)에 대응되는 제 1 선택 회로들이다. 상기 각 제 1 선택 회로(111/112/113/114)는 전달 회로(TRA) 및 출력 회로(DRI)를 포함한다. 상기 전달 회로(TRA)는 인버터(I1) 및 전달 게이트(TG)를 포함하며, 상기 선택 신호(SELn)에 응답해서 입력되는 내부 신호(INT\_S0/INT\_S1/INT\_S2/INT\_S3)를 스위칭한다. 상기 출력 회로(DRI)는 상기 전달 회로(TRA)를 통해 전달되는 내부 신호(INT\_S0/INT\_S1/INT\_S2/INT\_S3)를 상기 제 2 선택 회로(120)로 제공한다.

<47>        도 2 및 도 5를 참조하면, 상기 제 2 선택 회로(120)는 복수 개의 제 2 선택 회로들

(121, 122, 123, 124)을 포함한다. 참고로, 도 2에 도시된 상기 제 2 선택 회로들(121, 122, 123, 124)은 이해를 돕기 위해 간략화된 상기 제 1 선택 회로들(111, 112, 113, 114)에 대응되는 제 2 선택 회로들이다. 상기 각 제 2 선택 회로(121/122/123/124)는 인버터(I1) 및 전달 게이트들(TG1, TG2)을 포함하며, 상기 선택 신호(SEL<sub>n</sub>)에 응답해서 상기 제 1 선택 회로(110)로부터 출력되는 내부 신호(INT\_S0/INT\_S1/INT\_S2/INT\_S3)와 상기 센스 앰프(70)로부터 출력되는 출력 데이터(D0/D1/D2/D3) 중 하나를 선택하여 상기 데이터 출력 버퍼(90)로 제공한다.

<48>        도 2 및 도 6을 참조하면, 상기 데이터 출력 버퍼(90)는 복수 개의 데이터 출력 회로들(91, 92, 93, 94)을 포함하며, 상기 출력 활성화 신호(OEB)에 응답해서 상기 제 2 선택 회로(120)로부터 출력되는 상기 출력 데이터(D)나 상기 내부 신호들(INT\_S')을 대응되는 입/출력 패드들로 출력한다. 참고로, 도 2에 도시된 상기 데이터 출력 회로들(91, 92, 93, 94)은 이해를 돕기 위해 간략화된 상기 제 2 선택 회로들(121, 122, 123, 124)에 대응되는 데이터 출력 회로들이다.

<49>        상기 각 데이터 출력 회로(91/92/93/94)는 조합 회로(combination circuit; 이하, COM이라 칭함) 및 출력 회로(DRI)를 포함한다. 상기 조합 회로(COM)는 인버터들(I1, I2, I3, I4, I5), 노어 게이트(NOR) 및 낸드 게이트(NAND)를 포함하며, 상기 출력 활성화 신호(OEB)의 제어에 의해 상기 제 2 선택 회로(120)로부터 출력되는 상기 출력 데이터(D)나 상기 내부 신호들(INT\_S')을 조합한 조합 신호들(combination signals; COMB1, COMB2)을 상기 출력 회로(DRI)로 제공한다. 상기 출력 회로(DRI)는 상기 제 1 및 제 2 조합 신호들(COMB1, COMB2)에 응답해서 상기 데이터(D)나 내부 신호(INT\_S)를 대응되는 입/출력 패드로 출력한다.

- <50> 다시 도 1 내지 도 7을 참조하면, 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치는 테스트 모드 동작 동안에 장치 내부에서 생성되는 내부 신호들(INT\_S's)을 데이터 출력 버퍼(90) 및 입/출력 패드들을 통해 장치 외부로 출력한다. 이로써, 프로빙을 이용한 반도체 메모리 장치 테스트의 문제점들이 해결될 뿐만아니라, 장치의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.
- <51> 상기 반도체 메모리 장치의 테스트 모드 동작은 크게 테스트 모드를 검출하여 이를 알리는 테스트 모드 신호(TMS)를 발생하는 단계, 상기 테스트 모드 신호(TMS)에 따라 복수개의 내부 신호들(INT\_S's) 중 일부의 내부 신호들(INT\_S's)을 선택하는 단계 그리고 상기 선택된 내부 신호들(INT\_S's)을 데이터 출력 버퍼(90)를 통해 외부로 출력하는 단계로 구분된다. 상기 테스트 모드 신호(TMS)를 발생하는 단계에서는 상기 제어 로직 및 테스트 모드 검출 회로(10)가 소정 신호들(예를 들어, CSB, RASB, CASB, WB)의 위상을 검출하여, 테스트 모드를 검출함으로써 시작된다. 상기 제어 로직 및 테스트 모드 검출 회로(100)는 상기 신호들(CSB, RASB, CASB, WB)이 논리 로우 레벨로 천이되면, 상기 테스트 모드 신호(TMS)를 상기 테스트 정보 입력 회로(100)로 출력한다.
- <52> 이때, 외부로부터 어드레스 입력 핀들을 통해 상기 반도체 메모리 장치의 내부 상태 모니터링을 알리는 테스트 정보(TSEL)가 상기 어드레스 버퍼(20/30)로 입력된다. 상기 어드레스 버퍼(20/30)로 입력된 상기 테스트 정보(TSEL)는 상기 어드레스 버퍼(20/30)에서 버퍼링되어 상기 테스트 정보 입력 회로(100)로 제공된다. 상기 테스트 모드 신호(TMS) 및 상기 테스트 정보(TSEL)가 상기 테스트 정보 입력 회로(100)로 전달되면, 상기 테스트 정보 입력 회로(100)는 상기 테스트 모드 신호(TMS)에 응답해서 상기 테스트 정보(TSEL)를 저장하고 그리고 상기 테스트 정보(TSEL)에 상응하는 선택 신호들(SELO,

SEL1, ..., SEL<sub>n-1</sub>, SEL<sub>n</sub>)을 출력한다.

<53> 이후, 내부 신호들(INT\_S's)을 선택하는 단계가 수행된다. 내부 신호들(INT\_S's)을 선택하는 단계에서는 상기 제 1 선택 회로(110)가 반도체 메모리 장치 내부에서 생성되는 복수 개의 내부 신호들{INT\_S's; 예를 들어, 행 어드레스(RA), 열 어드레스(CA), 제어 신호(CON), 디코딩 어드레스들(DRA, DCA) 등} 중 상기 선택 신호들(SEL0, SEL1, ..., SEL<sub>n-1</sub>, SEL<sub>n</sub>)에 대응되는 내부 신호들(INT\_S's)을 선택한다. 예를 들어, 상기 테스트 모드 신호(TMS)가 논리 하이 레벨(logic high level)로 활성화되고 그리고 선택 신호들(SEL0, SEL1, ..., SEL<sub>n-1</sub>, SEL<sub>n</sub>) 중 내부 신호들(RA, CA, CON, DRA)의 선택을 알리는 선택 신호들(SEL1, SEL2, SEL3, SEL4)이 논리 하이 레벨로 활성화된다고 가정하면, 상기 제 1 선택 회로(110)는 복수 개의 내부 신호들(INT\_S's) 중 상기 내부 신호들(RA, CA, CON, DRA)을 상기 제 2 선택 회로(120)로 제공한다.

<54> 상기 제 1 선택 회로(110)에 의해 복수 개의 내부 신호들(INT\_S's) 중 일부의 내부 신호들(예를 들어, RA, CA, CON, DRA)이 선택되어 상기 제 2 선택 회로(120)로 제공되면, 선택된 내부 신호들(INT\_S's)을 상기 제 2 선택 회로(120) 및 상기 데이터 출력 버퍼(90)를 통해 외부로 출력하는 단계가 수행된다. 상기 제 2 선택 회로(120)는 상기 선택 신호들(SEL1, SEL2, SEL3, SEL4)에 응답해서 상기 센스 앰프(70)로부터의 데이터(D0, D1, D2, D3)와 상기 내부 신호들(RA, CA, CON, DRA) 중 하나의 그룹을 선택한다.

<55> 즉, 상기 제 2 선택 회로(120)는 논리 하이 레벨의 상기 선택 신호들(SEL1, SEL2, SEL3, SEL4)에 응답해서 상기 제 1 선택 회로(110)로부터의 상기 내부 신호들(RA, CA, CON, DRA)을 상기 데이터 출력 버퍼(90)로 출력한다. 물론, 상기 선택 신호들(RA, CA, CON, DRA)이 논리 로우 레벨의 위상들을 가지면, 상기 제 2 선택 회로(120)는 상기 센스

앰프(70)로부터의 데이터(D0, D1, D2, D3)를 상기 데이터 출력 버퍼(90)로 제공한다. 상기 데이터 출력 버퍼(90)는 상기 제 2 선택 회로(120)로부터의 상기 선택 신호들(RA, CA, CON, DRA)을 입/출력 패드들을 통해 외부로 출력한다. 이와 같이, 입/출력 패드들을 통해 상기 반도체 메모리 장치로부터 출력된 내부 신호들(RA, CA, CON, DRA)은 테스트 장비에 의해 분석된다.

<56> 이와 같이, 본 발명에 따른 반도체 집적 회로의 내부 상태 모니터링 회로 및 그를 이용한 내부 상태 모니터링 방법은 집적 회로 내부에서 발생하는 내부 신호들(INT\_S's)을 데이터 출력 버퍼(90) 및 입/출력 패드들을 통해 외부로 출력함으로써, 프로빙에 의한 테스트의 문제점들이 해결될 뿐만아니라, 집적 회로의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.

<57> 이상에서, 본 발명에 따른 반도체 집적 회로의 내부 상태 모니터링 회로 및 그를 이용한 내부 상태 모니터링 방법을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며, 본 발명의 기술적 사상을 벗어나지 않는 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<58> 상술한 바와 같이, 집적 회로 내부에서 생성되는 내부 신호들을 데이터 출력 버퍼 및 입/출력 패드들을 통해 집적 회로 외부로 출력하여, 집적 회로의 내부 상태가 모니터링됨으로써, 프로빙을 이용한 테스트의 문제점들이 해결될 뿐만아니라, 장치의 문제점 분석과 개발에 소요되는 시간이 감축되어 반도체 생산 수율이 향상된다.



## 【특허청구범위】

## 【청구항 1】

정상 모드 및 테스트 모드 동안에 외부로부터 복수의 입력 데이터 신호들을 받아들이고, 상기 입력 데이터 신호들에 대응하는 출력 데이터 신호들을 발생하는 복수 개의 기능 회로들과;

외부로부터 인가되는 테스트 정보에 근거해서, 상기 기능 회로들이 상기 입력 데이터 신호들을 처리할 때 상기 기능 회로들 내에서 생성되는 복수 개의 내부 신호들 중의 일부를 선택하는 수단 및;

상기 정상 모드 동안에 상기 출력 데이터 신호들을 외부로 출력하고 상기 테스트 모드 동안에 상기 선택된 내부 신호들을 외부로 출력하는 수단을 포함하는 반도체 집적 회로.

## 【청구항 2】

반도체 집적 회로에 있어서:

정상 모드 및 테스트 모드 동안에 외부로부터 복수의 입력 데이터 신호들을 받아들이고, 상기 입력 데이터 신호들에 대응하는 출력 데이터 신호들을 발생하는 복수 개의 기능 회로들과;

외부로부터 복수의 동작 모드 신호들을 받아들이고, 상기 동작 모드 신호들이 상기 테스트 모드를 나타낼 때 테스트 모드 검출 신호를 발생하는 테스트 모드 검출 회로와;

상기 테스트 모드 검출 신호에 응답해서 외부로부터 인가되는 테스트 정보 신호들을 받아들이는 테스트 정보 입력 회로와;

상기 테스트 정보 신호들에 응답해서 상기 기능 회로들이 상기 입력 데이터 신호들을

처리할 때 상기 기능 회로들 내에서 생성되는 복수 개의 내부 신호들 중의 일부를 선택하는 제 1 선택 회로 및;

상기 테스트 정보 신호들에 응답해서, 상기 출력 데이터 신호들과 상기 선택된 내부 신호들 중 어느 하나를 선택하는 제 2 선택 회로를 포함하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 3】

제 2항에 있어서,

상기 반도체 집적 회로는 상기 제 2 선택 회로의 출력을 받아들여서 외부로 출력하기 위한 데이터 출력 회로를 더 포함하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 4】

제 2항에 있어서,

상기 테스트 정보 입력 회로는 상기 테스트 정보를 저장하기 위한 기억 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 5】

제 2항에 있어서,

상기 테스트 정보 입력 회로는 상기 선택 신호들을 발생하는 복수 개의 입력 회로들을 포함하고,

상기 각 입력 회로는,

상기 테스트 모드 신호에 응답해서 상기 테스트 정보 신호를 전달하는 전달 회로와,

상기 전달 회로를 통해 전달되는 상기 테스트 정보 신호를 래치하는 래치 및,

상기 래치에 저장된 상기 테스트 정보 신호를 출력하는 출력 회로를 포함하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 6】

제 2항에 있어서,

상기 제 1 선택 회로는 상기 테스트 정보 입력 회로로부터의 테스트 정보 신호들에 응답해서 상기 내부 신호들을 선택하는 복수 개의 선택 회로들을 포함하고,

상기 각 선택 회로는,

상기 테스트 정보 신호를 반전시키는 인버터 및,

상기 테스트 정보 신호 및 그것의 반전 신호에 응답해서 상기 내부 신호를 전달하는 전달 게이트를 포함하는 것을 특징으로 하는 반도체 집적 회로.

【청구항 7】

제 2항에 있어서,

상기 제 2 선택 회로는 상기 테스트 정보 신호들에 응답해서 상기 출력 데이터 신호들 및 상기 내부 신호들 중 하나를 선택하는 복수 개의 선택 회로들을 포함하고,

상기 각 선택 회로는,

상기 테스트 정보 신호를 반전시키는 인버터와,

상기 테스트 정보 신호 및 그것의 반전 신호에 응답해서 상기 내부 신호를 전달하는 제 1의 전달 게이트 및,

상기 테스트 정보 신호 및 그것의 반전 신호에 응답해서 상기 데이터를 전달하는 제 2의 전달 게이트를 포함하는 것을 특징으로 하는 반도체 집적 회로.



## 【청구항 8】

제 2항에 있어서,

상기 반도체 집적 회로는 반도체 메모리 장치인 것을 특징으로 하는 반도체 집적 회로.

## 【청구항 9】

제 5항에 있어서,

상기 전달 회로는,

상기 테스트 모드 신호를 반전시키는 인버터 및,

상기 테스트 모드 신호 및 그것의 반전 신호에 응답해서 상기 테스트 정보 신호를 전달하는 전달 게이트를 포함하는 것을 특징으로 하는 반도체 집적 회로.

## 【청구항 10】

정상 모드 및 테스트 모드 동안에 외부로부터 복수의 입력 데이터 신호들을 받아들이고, 상기 입력 데이터 신호들에 대응하는 출력 데이터 신호들을 발생하는 복수 개의 기능 회로들 및, 상기 출력 데이터 신호들을 외부로 출력하는 데이터 출력 회로를 구비하는 반도체 집적 회로에서, 상기 기능 회로들이 상기 입력 데이터 신호들을 처리할 때 상기 기능 회로들 내에서 생성되는 복수 개의 내부 신호들을 테스트 하는 방법에 있어서:

상기 테스트 모드를 검출하는 단계와;

외부로부터 인가되는 테스트 정보에 근거하여 상기 내부 신호들 중 일부를 선택하는 단계 및;

상기 선택된 내부 신호들을 상기 데이터 출력 회로를 통해 외부로 출력하는 단계를 포함하는 것을 특징으로 하는 반도체 집적 회로의 테스트 방법.

**【청구항 11】**

제 10항에 있어서,

상기 내부 신호들은 상기 반도체 집적 회로의 모니터링에 사용되는 것을 특징으로 하는 반도체 집적 회로의 테스트 방법.

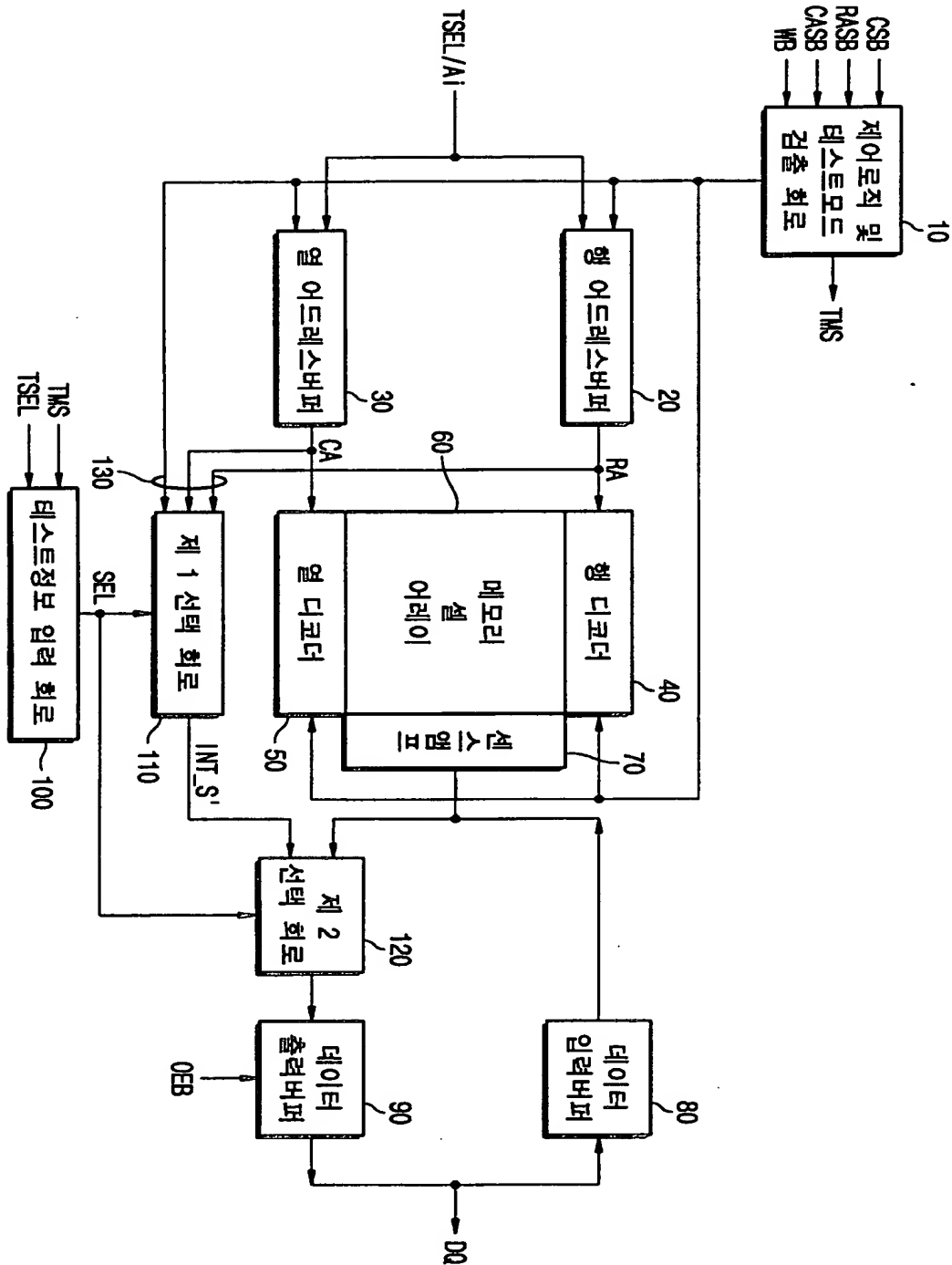
**【청구항 12】**

제 10항에 있어서,

상기 내부 신호들은 상기 반도체 집적 회로의 데이터 입/출력 패드들을 통해 외부로 출력되는 것을 특징으로 하는 반도체 집적 회로의 테스트 방법.

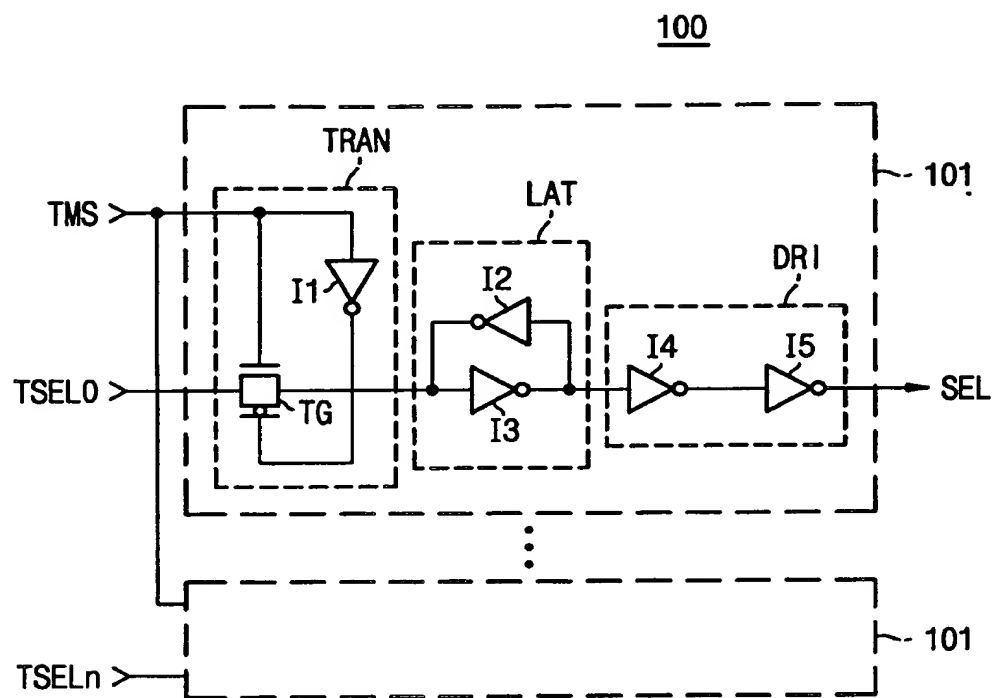
【도면】

【도 1】

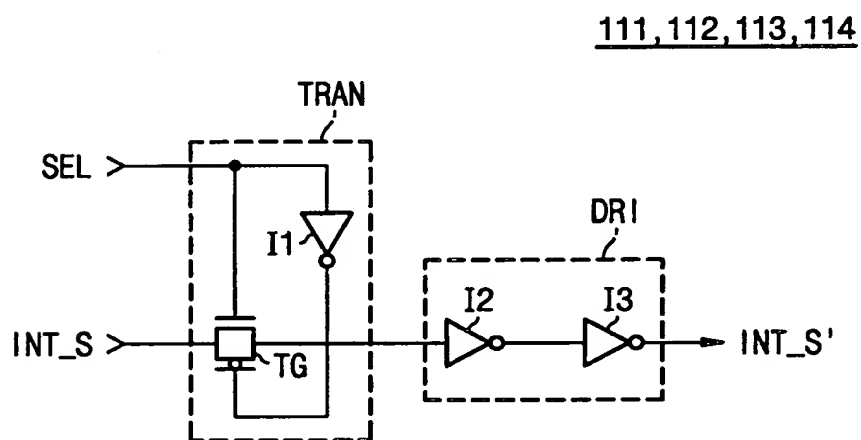




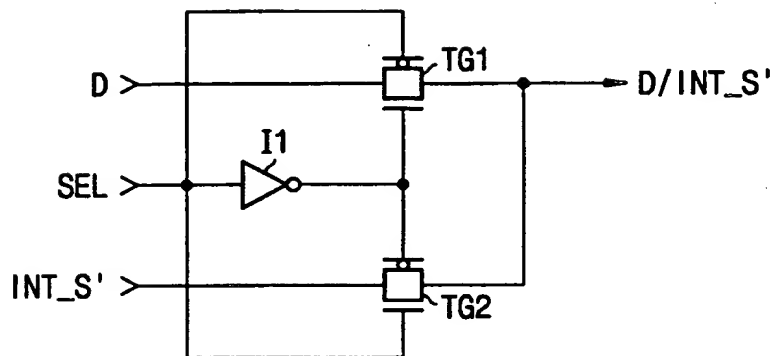
【도 3】



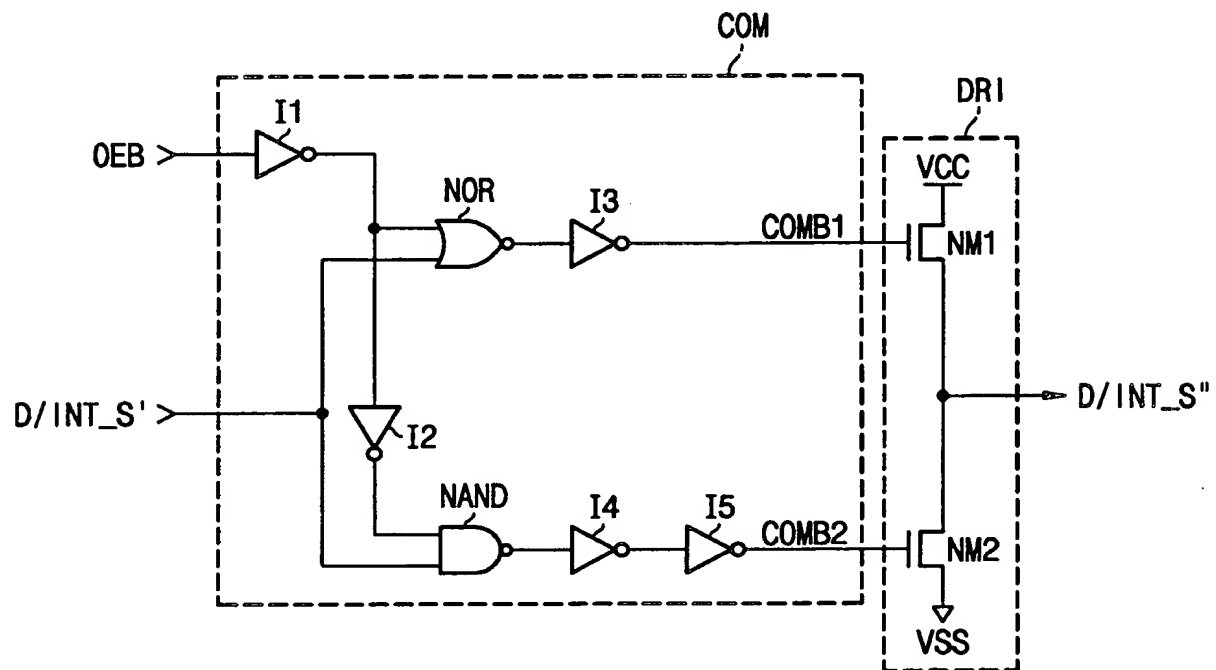
【도 4】



【도 5】

121, 122, 123, 124

【도 6】

91, 92, 93, 94

【図 7】

CSB, RASB, CASB, WB

